



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0051198
Application Number PATENT-2002-0051198

출원년월일 : 2002년 08월 28일
Date of Application AUG 28, 2002

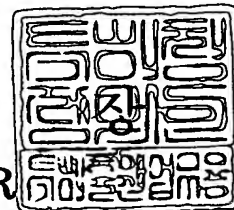
출원인 : 인티그런트 테크놀로지즈(주)
Applicant(s) INTEGRANT TECHNOLOGIES INC.



2002 년 12 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【제출일자】 2002.08.28
【발명의 명칭】 차지 펌프 회로의 스위칭 속도를 개선시키고, 출력 전류간 불일치를 보상하는 보정 회로 및 그 제어 회로
【발명의 영문명칭】 Circuit for Improving Speed of Switching and Compensating Mismatch of Output Current in Charge Pump Circuit and Control Circuit thereof
【출원인】
【명칭】 인티그런트 테크놀로지즈(주)
【출원인코드】 1-2001-002372-0
【대리인】
【성명】 박경완
【대리인코드】 9-1999-000646-5
【포괄위임등록번호】 2001-003356-1
【대리인】
【성명】 김성호
【대리인코드】 9-1998-000633-4
【포괄위임등록번호】 2001-003357-8
【발명자】
【성명의 국문표기】 정민수
【성명의 영문표기】 JEONG,Minsu
【주민등록번호】 710314-1658810
【우편번호】 431-817
【주소】 경기도 안양시 동안구 부흥동 1103번지 은하수 아파트 206-1002
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 박경완 (인) 대리인
 김성호 (인)

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	18	면	18,000	원
---------	----	---	--------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	8	항	365,000	원
---------	---	---	---------	---

【합계】	412,000	원		
------	---------	---	--	--

【감면사유】	소기업 (70%감면)			
--------	-------------	--	--	--

【감면후 수수료】	123,600	원		
-----------	---------	---	--	--

【첨부서류】	1. 요약서·명세서(도면)_1통 2. 소기업임을 증명하는 서류_1통
--------	---------------------------------------

【요약서】**【요약】**

본 발명은 차지 펌프 회로의 스위칭 속도를 개선시키고, 출력 전류간 불일치를 보상하는 보정 회로 및 상기 보정 회로를 제어하는 제어 회로에 관한 것이다. 본 발명의 일실시예에 따른 보정 회로는 차지 펌프 회로의 충전 및 방전 소자의 게이트-소오스 간 및 소오스단에 존재하는 기생 커패시턴스에 전하를 강제로 유입 또는 방출시킴으로써, 기생 커패시턴스가 차지 펌프 회로의 성능에 미치는 영향을 보상한다. 본 발명의 일실시예에 따른 제어 회로는 상기 보정 회로가 기생 커패시턴스로부터 유입 및 방출하는 전하량을 제어함으로써, 정확한 보상이 이루어 질 수 있도록 보정 회로를 제어한다.

【대표도】

도 5

【색인어】

위상 동기 루프, 차지 펌프 회로, 기생 커패시턴스, 보정 회로, 제어 회로

【명세서】

【발명의 명칭】

차지 펌프 회로의 스위칭 속도를 개선시키고, 출력 전류간 불일치를 보상하는 보정 회로 및 그 제어 회로{Circuit for Improving Speed of Switching and Compensating Mismatch of Output Current in Charge Pump Circuit and Control Circuit thereof}

【도면의 간단한 설명】

도 1은 위상 동기 루프를 도시한 블록도.

도 2는 도 1에 도시된 위상 동기 루프에 있어서, 종래의 차지 펌프 회로를 도시한 회로도.

도 3은 본 발명의 일실시예에 따른 차지 펌프 회로를 도시한 회로도.

도 4는 본 발명의 다른 실시예에 따른 차지 펌프 회로를 도시한 회로도.

도 5는 본 발명의 또 다른 실시예에 따른 차지 펌프 회로를 도시한 회로도.

도 6은 도 4에 도시된 차지 펌프 회로에 있어서, 제1 및 제2 보정부를 제어하기 위한 제어 회로를 본 발명의 일실시예에 따라서 도시한 회로도.

<도면의 주요 부분에 대한 부호의 설명>

MP31: 제2 스위칭 소자

MN31: 제1 스위칭 소자

MP32: 충전 소자

MN32: 방전 소자

3100: 바이어싱부

3300: 제1 보정부

3500: 제2 보정부

6700: 제1 제어부

6900: 제2 제어부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <13> 본 발명은 위상 동기 루프(Phase-Locked Loop)의 차지 펌프 회로(Charge Pump Circuit)에 관한 것으로서, 차지 펌프 회로의 스위칭 속도를 개선시키고, 스위칭 시 발생하는 소오스 전류 및 싱크 전류 간의 불일치를 보상하는 보정 회로 및 그 제어 회로에 관한 것이다.
- <14> 도 1은 종래의 위상 동기 루프를 도시한 블록도이다.
- <15> 도 1에 도시된 바와 같이, 위상 동기 루프는 위상 검출기(Phase Detector:101), 차지 펌프(103), 루프 필터(Loop Filter:105), 전압 제어 발진기(Voltage Controlled Oscillator:107)를 포함한다. 전압 제어 발진기(107)는 입력되는 전압 신호에 의하여 출력되는 발진 신호 CLK의 주파수를 제어한다. 위상 검출기(101)는 기준 발진 신호 REFCLK와 전압 제어 발진기(107)에서 출력된 발진 신호 CLK를 비교하여, 전압 제어 발진기(107)에서 출력된 발진 신호 CLK의 주파수가 기준 발진 신호 REFCLK의 주파수보다 낮은 경우에는 로우 레벨의 업 신호 UP를 출력하고, 그 반대인 경우에는 하이 레벨의 다운 신호 DN를 출력한다. 차지 펌프 회로(103)는 인가되는 전압 펄스가 업 신호 UP인 경우에는 양의 전류 펄스를 발생시키고, 인가되는 전압 펄스가 다운 신호 DN인 경우에는 음의 전류 펄스를 발생시킨다. 루프 필터(105)는 일반적으로, 큰 용량의 커패시터를 가지고 있으며, 입력되는 전류 펄스에 의하여 커패시터가 충전 또는 방전됨으로써 출력 전압 V_{CLT} 이 조정된다. 전압 제어 발진기(107)는 루프 필터(105)의 출력 전압 V_{CLT} 에 의하여 발

진 신호 CLK의 주파수를 제어한다. 즉, 루프 필터(105)의 출력 전압 V_{CLT} 이 증가하면, 발진 신호 CLK의 주파수를 증가시키고, 루프 필터(105)의 출력 전압 V_{CLT} 가 감소하면, 발진 신호 CLK의 주파수를 감소시킨다.

<16> 따라서, 전압 제어 발진기(107)에서 출력되는 발진 신호 CLK의 주파수가 기준 발진 신호 REFCLK의 주파수보다 낮게 되면, 위상 검출기(101)는 업 신호 UP를 발생시키고, 차지 펌프(103)는 양의 전류 펄스를 발생시켜 루프 필터(105)의 커패시터를 충전시킨다. 이로 인하여, 전압 제어 발진기(107)에 인가되는 전압 V_{CLT} 이 증가하게 되어 출력되는 발진 신호 CLK의 주파수가 높아지게 된다. 이와 반대로, 전압 제어 발진기(107)에서 출력되는 발진 신호 CLK의 주파수가 기준 발진 신호 REFCLK의 주파수보다 높게 되면, 위상 검출기(101)는 다운 신호 DN를 발생시키고, 결국, 전압 제어 발진기(107)에 인가되는 전압 V_{CLT} 이 감소하게 됨으로써, 발진 신호 CLK의 주파수가 낮아지게 된다.

<17> 도 2는 도 1에 도시된 위상 동기 루프에 있어서, 종래의 차지 펌프 회로(103)를 도시한 회로도이다.

<18> 도 2에 도시된 바와 같이, 종래의 차지 펌프 회로는 제1 및 제2 NMOS 트랜지스터 MN21, MN22, 제1 및 제2 PMOS 트랜지스터 MP21, MP22, 및 바이어싱부(2100)를 포함하고, 제1 NMOS 및 PMOS 트랜지스터 MN21, MP21의 게이트에 각각 다운 신호 DN, 및 업 신호 UPB가 인가되면 출력단 V_{LFO} 에 접속된 커패시터 C21를 방전 및 충전시킨다.

<19> 바이어싱부(2100)는 제1, 제2, 제3, 및 제4 NMOS 트랜지스터 BN21, BN22, BN23, BN24, 및 제1, 제2 PMOS 트랜지스터 BP21, BP22를 포함하고, 차지 펌프 회로의 제2 NMOS 및 PMOS 트랜지스터 MN22, MP22의 게이트에 바이어스 전압을 인가한다.

- <20> 이하, 도 2를 참조하여 종래의 차지 펌프 회로의 동작 및 문제점을 설명한다.
- <21> 하이 레벨의 다운 신호 DN가 제1 NMOS 트랜지스터 MN21의 게이트에 인가되면, 제1 NMOS 트랜지스터 MN21는 활성화된다. 이것은 제2 NMOS 트랜지스터 MN22의 소오스를 방전시키고, 제2 NMOS 트랜지스터 MN22의 게이트-소오스간 전압이 임계 전압을 초과할 때까지 낮춘다. 따라서, 차지 펌프 회로의 출력단 V_{LF0} 으로부터 싱크 전류 I_{sink} 가 제1 및 제2 NMOS 트랜지스터 MN21, MN22를 통하여 접지로 흐르게 되고, 커패시터 C21는 방전된다.
- <22> 로우 레벨의 업 신호 UPB가 제1 PMOS 트랜지스터 MP21의 게이트에 인가되면, 제1 PMOS 트랜지스터 MP21가 활성화된다. 이것은 제2 PMOS 트랜지스터 MP22의 소오스를 충전시키고, 제2 PMOS 트랜지스터 MP22의 게이트-소오스 간 전압이 임계 전압을 초과할 때까지 소오스의 전압을 상승시킨다. 따라서, 전원으로부터 소오스 전류 I_{source} 가 제1 및 제2 PMOS 트랜지스터 MP21, MP22로 흐르게 되고, 출력단 V_{LF0} 에 접속된 커패시터 C21를 충전시킨다.
- <23> 종래의 차지 펌프 회로에 있어서, 제2 NMOS 및 PMOS 트랜지스터 MN22, MP22는 각각의 게이트에 인가되는 바이어스 전압에 의하여 출력단 V_{LF0} 에 흐르는 싱크 전류 I_{sink} 및 소오스 전류 I_{source} 의 양을 제어한다. 일반적으로, 차지 펌프 회로에 포함된 바이어싱부(2100)는 싱크 전류 I_{sink} 및 소오스 전류 I_{source} 가 동일한 전류 값을 갖도록, 미리 설정된 일정한 바이어스 전압을 제2 NMOS 및 PMOS 트랜지스터 MN22, MP22에 인가한다.
- <24> 그러나, 도 2에 도시된 종래의 차지 펌프 회로에 있어서, 제2 NMOS 트랜지스터 MN22의 게이트-소오스 간에는 기생 커패시턴스가 존재하고, 이러한 기생 커패시턴스는

스위칭 시 싱크 전류 I_{sink} 를 결정하는 제2 NMOS 트랜지스터 MN22의 게이트 전압을 순간적으로 강하시킨다. 따라서, 차지 펌프 회로의 출력단 V_{LF0} 에는 원하는 싱크 전류 I_{sink} 와 다른 전류가 흐르게 된다. 종래의 차지 펌프 회로에 있어서, 기생 커패시턴스로 인한 전압 강하는 바이어싱부(2100)에 의하여 복원되었으나, 이를 복원하는 데에는 일정 시간이 소요된다는 문제가 있었다. 또한 제2 NMOS 트랜지스터 MN22의 소오스단의 기생 커패시턴스는 다운 신호 DN가 인가된 경우, 제2 NMOS 트랜지스터 MN22의 소오스단이 접지 전압으로 강하되는 것을 지연시키며, 원하는 싱크 전류 I_{sink} 를 출력단 V_{LF0} 에 흐르지 못하도록 한다.

<25> 이와 마찬가지로, 제2 PMOS 트랜지스터 MP22의 게이트-소오스 간 기생 커패시턴스는 업 신호 UPB 입력 시, 제2 PMOS 트랜지스터 MP22의 게이트에 인가되는 전압을 순간적으로 상승시킨다. 또한, 제2 PMOS 트랜지스터 MP22의 소오스단의 기생 커패시턴스는 스위칭 시 제2 PMOS 트랜지스터 MP22의 소오스단의 전압이 전원 전압으로 상승되는 것을 지연시켜, 원하는 소오스 전류 I_{source} 를 출력단 V_{LF0} 에 흐르지 못하도록 한다.

<26> 따라서, 종래의 차지 펌프 회로는 기생 커패시턴스로 인하여 스위칭 속도가 느리고, 스위칭 동작에 따른 전류 불일치가 발생되었다. 이러한 전류 불일치는 위상 동기 루프에서 원하지 않는 스푸리어스 톤(Spurios tone)의 발생을 야기시키며, 위상 동기 루프의 위상 잡음 특성을 나쁘게 한다.

【발명이 이루고자 하는 기술적 과제】

<27> 본 발명의 목적은 차지 펌프 회로의 스위칭 속도를 개선시키고, 출력단에 흐르는 소오스 전류 및 싱크 전류 간의 불일치를 보상하기 위한 보정 회로를 제공하는 것이다.

<28> 본 발명의 다른 목적은 차지 펌프 회로에 있어서 보정 회로의 보상 전하량을 정확히 제어하기 위한 제어 회로를 제공하는 것이다.

【발명의 구성 및 작용】

<29> 상기 목적을 달성하기 위하여 본 발명의 일실시예에 따른 차지 펌프 회로의 보정 회로는, 게이트, 드레인, 및 소오스를 구비하고, 소오스는 접지되며, 게이트에 다운 신호가 입력되면 활성화되는 제1 스위칭 소자, 게이트, 드레인, 및 전원에 접속되는 소오스를 구비하고, 게이트에 업 신호가 입력되면 활성화되는 제2 스위칭 소자, 게이트, 드레인, 및 제1 스위칭 소자의 드레인에 접속되는 소오스를 구비하고, 게이트에 인가되는 바이어스 전압에 의하여 드레인으로 출력되는 전류의 양을 제어하는 방전 소자, 게이트, 드레인, 및 제2 스위칭 소자의 드레인에 접속되는 소오스를 구비하고, 게이트에 인가되는 바이어스 전압에 의하여 드레인으로 출력되는 전류의 양을 제어하는 충전 소자, 및 방전 소자 및 충전 소자의 게이트에 각각 접속되는 제1 및 제2 단자를 구비하며, 방전 소자 및 충전 소자를 활성화시키는 바이어스 전압을 제1 및 제2 단자로 출력하는 바이어싱부를 포함하는 차지 펌프 회로의 출력 전류간 불일치를 보상하는 보정 회로에 있어서, 입력단, 제어단, 및 방전 소자의 게이트에 접속되는 출력단을 구비하고, 입력단에 다운 신호가 인가되면, 출력단으로 전하를 방출하되, 제어단에 인가된 제1 제어 신호에 의하여 출력단으로 방출되는 전하량이 제어되는 제1 보정부, 및 입력단, 제어단, 및 충전 소자의 게이트에 접속되는 출력단을 구비하고, 입력단에 업 신호가 인가되면, 출력단으로 전하를 유입하되, 제어단에 인가된 제2 제어 신호에 의하여 출력단으로 유입되는 전하량이 제어되는 제2 보정부를 포함한다.

<30> 본 발명의 일실시에에 따른 차지 펌프 회로의 보정 회로에 있어서, 제1 및 제2 보정부는 각각 버퍼 및 커패시터를 포함하고, 버퍼의 입력단은 각각 제1 및 제2 보정부의 입력단을 형성하고, 출력단은 각각 커패시터의 일단과 접속되며, 커패시터의 타단은 각각 제1 및 제2 보정부의 출력단을 형성하고, 제1 보정부에 포함된 버퍼의 하이 레벨 제어단 및 제2 보정부에 포함된 버퍼의 로우 레벨 제어단은 각각 제1 및 제2 보정부의 제어단을 형성한다.

<31> 본 발명의 다른 실시예에 따른 차지 펌프 회로의 보정 회로는, 게이트, 드레인, 및 소오스를 구비하고, 소오스는 접지되며, 게이트에 다운 신호가 입력되면 활성화되는 제1 스위칭 소자, 게이트, 드레인, 및 전원에 접속되는 소오스를 구비하고, 게이트에 업 신호가 입력되면 활성화되는 제2 스위칭 소자, 게이트, 드레인, 및 제1 스위칭 소자의 드레인에 접속되는 소오스를 구비하고, 게이트에 인가되는 바이어스 전압에 의하여 드레인으로 출력되는 전류의 양을 제어하는 방전 소자, 게이트, 드레인, 및 제2 스위칭 소자의 드레인에 접속되는 소오스를 구비하고, 게이트에 인가되는 바이어스 전압에 의하여 드레인으로 출력되는 전류의 양을 제어하는 충전 소자, 및 방전 소자 및 충전 소자의 게이트에 각각 접속되는 제1 및 제2 단자를 구비하고, 방전 소자 및 충전 소자를 활성화시키는 바이어스 전압을 제1 및 제2 단자로 각각 출력하는 바이어싱부를 포함하는 차지 펌프 회로의 출력 전류간 불일치를 보상하는 보정 회로에 있어서, 입력단, 및 방전 소자의 소오스에 접속되는 출력단을 구비하고, 입력단에 다운 신호가 인가되면, 출력단으로 전하를 유입하는 제1 보정부, 및 입력단, 및 충전 소자의 소오스에 접속되는 출력단을 구비하고, 입력단에 업 신호가 인가되면, 출력단으로 전하를 방출하는 제2 보정부를 포함한다.

- <32> 본 발명의 다른 실시예에 따른 차지 펌프 회로의 보정 회로에 있어서, 제1 및 제2 보정부는 각각 인버터 및 커패시터를 포함하고, 인버터의 입력단은 각각 제1 및 제2 보정부의 입력단을 형성하고, 출력단은 각각 커패시터의 일단과 접속되며, 커패시터의 타단은 각각 제1 및 제2 보정부의 출력단을 형성한다.
- <33> 본 발명의 일 실시예에 따른 차지 펌프 회로의 보정 회로를 제어하는 제어 회로는, 게이트, 드레인, 및 소오스를 구비하고, 소오스는 접지되며, 게이트에 다운 신호가 입력되면 활성화되는 제1 스위칭 소자, 게이트, 드레인, 및 전원에 접속되는 소오스를 구비하고, 게이트에 업 신호가 입력되면 활성화되는 제2 스위칭 소자, 게이트, 드레인, 및 제1 스위칭 소자의 드레인에 접속되는 소오스를 구비하고, 게이트에 인가되는 바이어스 전압에 의하여 드레인으로 출력되는 전류의 양을 제어하는 방전 소자, 및 게이트, 드레인, 및 제2 스위칭 소자의 드레인에 접속되는 소오스를 구비하고, 게이트에 인가되는 바이어스 전압에 의하여 드레인으로 출력되는 전류의 양을 제어하는 충전 소자, 및 방전 소자 및 충전 소자의 게이트에 인가되는 경우 방전 소자 및 충전 소자를 각각 활성화시킬 수 있는 레벨을 갖는 바이어스 전압을 제1 및 제2 단자로 각각 출력하는 바이어싱부를 포함하는 차지 펌프 회로의 출력 전류간 불일치를 보상하는 보정 회로에 있어서, 입력단, 제어단, 및 방전 소자의 게이트에 접속되는 출력단을 구비하고, 입력단에 다운 신호가 인가되면, 출력단으로 전하를 방출하되, 제어단에 인가된 제1 제어 신호에 의하여 출력단으로 방출되는 전하량이 제어되는 제1 보정부, 및 입력단, 제어단, 및 충전 소자의 게이트에 접속되는 출력단을 구비하고, 입력단에 업 신호가 인가되면, 출력단으로 전하를 유입하되, 제어단에 인가된 제2 제어 신호에 의하여 출력단으로 유입되는 전하량이 제어되는 제2 보정부를 포함하는 보정 회로를 제어하기 위한 제어 회로에 있어서, 바이

어싱부의 제1 단자 및 방전 소자의 게이트간에 접속되는 제1 스위치 수단, 바이어싱부의 제2 단자 및 충전 소자의 게이트간에 접속되는 제2 스위치 수단, 바이어싱부의 제1 단자 및 방전 소자의 게이트간에 접속되어, 제1 스위치 수단이 개방되었을 때 바이어싱부의 제1 단자의 전압과 방전 소자의 게이트간의 전압이 실질적으로 동일하도록 제1 제어 신호를 발생하는 제1 제어부, 바이어싱부의 제2 단자 및 충전 소자의 게이트간에 접속되어, 제2 스위치 수단이 개방되었을 때 바이어싱부의 제2 단자의 전압과 충전 소자의 게이트간의 전압이 실질적으로 동일하도록 상기 제2 제어 신호를 발생하는 제2 제어부를 포함한다.

<34> 본 발명의 일실시예에 따른 제어 회로에 있어서, 제1 및 제2 보정부는 각각 버퍼 및 커패시터를 포함하고, 버퍼의 입력단은 각각 제1 및 제2 보정부의 입력단을 형성하고, 출력단은 각각 커패시터의 일단과 접속되며, 커패시터의 타단은 각각 제1 및 제2 보정부의 출력단을 형성하고, 제1 보정부에 포함된 버퍼의 하이 레벨 제어단 및 제2 보정부에 포함된 버퍼의 로우 레벨 제어단은 각각 제1 및 제2 보정부의 제어단을 형성한다.

<35> 본 발명의 일실시예에 따른 제어 회로에 있어서, 제1 제어부는 비교기, 스위치 수단, 및 적분기를 포함하고, 비교기의 + 입력단은 바이어싱부의 제1 단자에 접속되고, - 입력단은 방전 소자의 게이트에 접속되며, 스위치 수단은 비교기의 출력단 및 적분기의 입력단간에 접속되고, 적분기의 출력단으로 제1 제어 신호가 출력된다.

<36> 본 발명의 일실시예에 따른 제어 회로에 있어서, 제2 제어부는 비교기, 스위치 수단, 및 적분기를 포함하고, 비교기의 + 입력단은 충전 소자의 게이트에 접속되고, - 입력단은 바이어싱부의 제2 단자에 접속되며, 스위치 수단은 비교기의 출력단 및 적분기의 입력단간에 접속되고, 적분기의 출력단으로 제2 제어 신호가 출력된다.

- <37> 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.
- <38> 본 발명에 따른 차지 펌프 회로는 MOSFET 트랜지스터 증폭 소자를 활용한다. 증폭 소자는 게이트, 소오스, 및 드레인을 구비한다. MOSFET 트랜지스터는 게이트에 인가되는 전압의 크기 및 극성에 따라서 드레인으로부터 소오스로 또는 그 역으로 흐르는 전류의 양 및 방향이 결정되는 특성을 갖는다. 이러한 증폭 소자로는 바이폴라 정션 트랜지스터(BJT), 정션 전계 효과 트랜지스터(JFET), 금속 산화막 반도체 전계 효과 트랜지스터(MOSFET) 및 금속 반도체 전계 효과 트랜지스터(MESFET) 등이 있다.
- <39> 상술한 증폭 소자 중에서도 이하의 설명에서는 MOSFET을 중심으로 설명하고자 한다. 그러나, 본 발명의 정신은 MOSFET 뿐만 아니라 상보적으로 동작하는 모든 소자에 적용될 수 있다. 따라서, 비록 본 명세서에서는 MOSFET을 중심으로 설명하나, 본 발명의 개념과 범위가 MOSFET으로 한정되지 않음은 당업자에게 자명하다.
- <40> 도 3은 본 발명의 일실시예에 따른 차지 펌프 회로를 도시한 회로도이다.
- <41> 도 3에 도시된 바와 같이, 본 발명의 일실시예에 따른 차지 펌프 회로는 제1 및 제2 스위칭 소자 MN31, MP31, 충전 소자 MP32, 방전 소자 MN32, 바이어싱부(3100), 및 제1 및 제2 보정부(3300, 3500)를 포함한다.
- <42> 도 3에 도시된 차지 펌프 회로는 방전 및 충전 소자 MN32, MP32의 게이트-소오스간 기생 커패시턴스가 차지 펌프 회로에 미치는 영향을 제1 및 제2 보정부(3300, 3500)에 의하여 보상함으로써, 차지 펌프 회로의 스위칭 속도 및 출력단 V_{LF0} 에 흐르는 전류간 불일치를 보상한다.

- <43> 제1 및 제2 스위칭 소자 MN31, MP31는 각각의 게이트에 인가되는 다운 신호 DN 및 업 신호 UPB에 의하여 활성화되며, 충전 및 방전 소자 MP32, MN32는 각각의 게이트에 인가되는 바이어스 전압에 의하여 차지 펌프 회로의 출력단 V_{LF0} 에 흐르는 전류의 양을 제어한다.
- <44> 바이어싱부(3100)는 제1 및 제2 단자(301, 303)를 구비하고, 차지 펌프 회로의 방전 및 충전 소자 MN32, MP32의 게이트에 각각 바이어스 전압을 인가한다.
- <45> 제1 및 제2 보정부(3300, 3500)는 입력단(305, 311), 출력단(307, 313), 및 제어단(309, 315)을 구비하고, 입력단(305, 311)에 다운 신호 DN 및 업 신호 UPB가 각각 인가되면, 출력단(307, 313)으로 전하를 각각 방출 및 유입한다. 또한, 제1 및 제2 보정부(3300, 3500)는 제어단(309, 315)에 각각 인가된 제1 및 제2 제어 신호 V_{ccCAL} , V_{ssCAL} 에 의하여 출력단(307, 313)으로 각각 방출 및 유입되는 전하량을 제어한다.
- <46> 이하, 도 3을 참조하여 이들 구성간의 연결관계를 설명한다.
- <47> 제1 및 제2 스위칭 소자 MN31, MP31의 게이트에는 각각 다운 신호 DN 및 업 신호 UPB가 인가되고, 드레인 각각 방전 및 충전 소자 MN32, MP32의 소오스와 접속되며, 소오스는 각각 접지 및 전원에 접속된다. 방전 및 충전 소자 MN32, MP32의 게이트는 각각 바이어싱부(3100)의 제1 및 제2 단자(301, 303)에 접속되고, 드레인은 서로 접속되어 차지 펌프 회로의 출력단 V_{LF0} 을 형성한다.
- <48> 제1 및 제2 보정부(3300, 3500)의 입력단(305, 311)에는 각각 다운 신호 DN 및 업 신호 UPB가 인가되고, 출력단(307, 313)은 방전 및 충전 소자 MN32, MP32의 게이트에 접속된다.

- <49> 본 발명의 일실시예에 따른 차지 펌프 회로의 구성을 좀 더 상세히 설명한다.
- <50> 바이어싱부(3100)는 제1, 제2, 제3 및 제4 NMOS 트랜지스터 BN31, BN32, BN33, BN34, 제1 및 제2 PMOS 트랜지스터 BP31, BP32, 및 바이어스 전류 I_{bias} 를 포함한다. 바이어싱부(3100)의 구성 및 동작은 본 발명의 속하는 기술분야에 널리 알려져 있으며, 본 발명의 본질은 바이어싱부(3100)의 특정 구현에 한정되지 아니하므로, 바이어싱부(3100)에 대한 자세한 설명을 생략하기로 한다.
- <51> 제1 및 제2 보정부(3300, 3500)는 각각 버퍼 BF31, BF32, 및 커패시터 C31, C32를 포함한다. 버퍼 BF31, BF32의 입력단은 각각 제1 및 제2 보정부(3300, 3500)의 입력단(305, 311)을 형성하고, 출력단은 각각 커패시터 C31, C32의 일단과 접속된다. 커패시터 C31, C32의 타단은 각각 제1 및 제2 보정부(3300, 3500)의 출력단(307, 313)을 형성한다. 버퍼 BF31의 하이 레벨 제어단은 제1 보정부(3300)의 제어단(309)을 형성하고, 버퍼 BF32의 로우 레벨 제어단은 제2 보정부(3500)의 제어단(315)을 형성한다.
- <52> 이하, 도 3을 참조하여 본 발명의 일실시예에 따른 차지 펌프 회로의 동작을 설명한다.
- <53> 차지 펌프 회로에 다운 신호 DN가 인가되면, 제1 스위칭 소자 MN31가 활성화되고, 차지 펌프 회로의 출력단 V_{LFO} 에 접속된 커패시터 C31는 방전된다. 즉, 출력단 V_{LFO} 으로부터 싱크 전류 I_{sink} 가 방전 소자 MN32, 및 제1 스위칭 소자 MN31를 통해 접지로 흐르게 되며, 커패시터 C31는 방전된다. 이와 마찬가지로, 차지 펌프 회로에 업 신호 UPB가 인가되면, 제2 스위칭 소자 MP31가 활성화되고, 차지 펌프 회로의 출력단 V_{LFO} 에 접속된 커패시터 C31는 충전된다. 즉, 전원으로부터 소오스 전류 I_{source} 가 제2 스위칭 소자 MP31 및 충전 소자 MP32를 통해 출력단 V

LF0으로 흐르게 되며, 커패시터 C31는 충전된다.

<54> 이 경우, 상기 설명한 바와 같이, 충전 및 방전 소자 MP32, MN32의 게이트-소오스 간 기생 커패시턴스는 충전 및 방전 소자 MP32, MN32의 게이트 전압을 순간적으로 상승 및 강하시킨다. 즉, 차지 펌프 회로에 업 신호 UPB가 인가되어, 충전 소자 MP32의 소오스단 전압이 전원 전압으로 상승하게 되면, 충전 소자 MP32의 게이트-소오스간 기생 커패시턴스로 인하여, 충전 소자 MP32의 게이트 전압이 순간적으로 상승하게 된다. 이와 반대로, 차지 펌프 회로에 다운 신호 DN가 인가되어, 방전 소자 MN32의 소오스단 전압이 접지 전압으로 강하되면, 방전 소자 MN32의 게이트-소오스간 기생 커패시턴스로 인하여, 방전 소자 MN32의 게이트 전압은 순간적으로 강하된다. 따라서, 차지 펌프 회로의 빠른 스위칭 동작이 저해되고, 출력단 V_{LF0} 에 흐르는 소오스 전류 I_{source} 및 싱크 전류 I_{sink} 간의 불일치가 발생된다.

<55> 제1 보정부(3300)의 버퍼 BF31는 차지 펌프 회로에 다운 신호 DN가 인가되면, 제어단(309)에 인가되는 제1 제어 신호 V_{ccCAL} 에 의하여 다운 신호 DN의 하이 레벨 전압 값을 조정하여, 커패시터 C31로 인가한다. 커패시터 C31의 일단에 양의 전압이 인가되면, 커패시터 C31는 전하를 방출하게 되고, 커패시터 C31의 타단의 전압 즉, 방전 소자 MN32의 게이트 전압이 상승하게 된다.

<56> 다운 신호 DN가 인가된 후의 기생 커패시턴스에 존재하는 전하량과 커패시터 C31에 존재하는 전하량의 합은 전하량 보존 법칙에 의하여 초기 상태에서 기생 커패시턴스에 존재하는 전하량과 커패시터 C31에 존재하는 전하량의 합과 실질적으로 동일하다. 따라서, 제1 제어 신호 V_{ccCAL} 를 적절히 조절하여, 제1 보정부(3300)의 출력단(307)에 방출

되는 전하량을 제어하면, 기생 커패시턴스에 의한 전압 강하와 제1 보정부의 커패시터 C31에 의한 전압 상승이 서로 상쇄되어, 방전 소자 MN32의 게이트 전압을 일정하게 유지할 수 있다.

<57> 제2 보정부(3300)의 버퍼 BF32는 차지 펌프 회로에 업 신호 UPB가 인가되면, 제어단(315)에 인가되는 제2 제어 신호 V_{SSCAL} 에 의하여 업 신호 UPB의 로우 레벨 전압 값을 조정하여, 커패시터 C32로 인가한다. 커패시터 C32의 일단에 음의 전압이 인가되면, 커패시터 C32는 충전 소자 MP32의 게이트-소오스간 기생 커패시턴스로부터 전하를 유입하게 되고, 커패시터 C32의 타단, 즉 충전 소자 MP32의 게이트 전압은 떨어지게 된다.

<58> 업 신호 UPB가 인가된 후의 기생 커패시턴스에 존재하는 전하량과 커패시터 C32에 존재하는 전하량의 합은 전하량 보존 법칙에 의하여 초기 상태에서 기생 커패시턴스에 존재하는 전하량과 커패시터 C32에 존재하는 전하량의 합과 실질적으로 동일하다. 따라서, 제2 제어 신호 V_{SSCAL} 를 적절히 조절하여, 제2 보정부(3500)의 출력단(311)으로 유입되는 전하량을 제어하면, 기생 커패시턴스에 의한 전압 상승과 제2 보정부(3500)의 커패시터 C32에 의한 전압 강하가 서로 상쇄되어, 충전 소자 MP32의 게이트 전압을 일정하게 유지할 수 있다.

<59> 상기 설명한 바와 같이, 본 발명의 일실시에에 따른 차지 펌프 회로는 제1 및 제2 보정부(3300, 3500)를 구비함으로써, 방전 소자 MN32 및 충전 소자 MP32의 게이트 인가되는 바이어스 전압이 스위칭 동작에 따라 변동하는 것을 방지할 수 있다. 따라서, 차지 펌프 회로의 스위칭 속도가 개선되고, 원하는 소오스 전류 I_{source} 및 싱크 전류 I_{sink} 를 출력단 V_{LF0} 에 흐르도록 함으로써, 업 신호 UPB 및 다운 신호 DN에 따른 소오스 전류 I_{source} 및 싱크 전류 I_{sink} 간 불일치를 보상할 수 있다.

- <60> 도 4는 본 발명의 다른 실시예에 따른 차지 펌프 회로를 도시한 회로도이다.
- <61> 도 4에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 차지 펌프 회로는 제1 및 제2 스위칭 소자 MN41, MP41, 충전 소자 MP42, 방전 소자 MN42, 바이어싱부(4100), 및 제1 및 제2 보정부(4300, 4500)를 포함한다.
- <62> 도 4에 도시된 차지 펌프 회로는 방전 및 충전 소자 MN42, MP42의 소오스단의 기생 커패시턴스가 차지 펌프 회로에 미치는 영향을 제1 및 제2 보정부(4300, 4500)에 의하여 보상함으로써, 차지 펌프 회로의 스위칭 속도 및 출력단 V_{LF0} 에 흐르는 전류간 불일치를 보상한다.
- <63> 이하, 도 4를 참조하여, 본 발명의 다른 실시예에 따른 차지 펌프 회로의 구성 및 동작을 설명한다. 다만, 제1 및 제2 스위칭 소자 MN41, MP41, 충전 및 방전 소자 MP42, MN42, 및 바이어싱부(4100)는 도 3에 도시된 본 발명의 일 실시예에 따른 차지 펌프 회로와 그 구성 및 동작이 동일하므로 여기서는 설명을 생략하기로 한다.
- <64> 제1 및 제2 보정부(4300, 4500)는 입력단(405, 409) 및 출력단(407, 411)을 구비하고, 입력단(405, 409)에 각각 인가된 다운 신호 DN 및 업 신호 UPB에 의하여 출력단(407, 411)으로 전하를 유입 및 방출시킨다. 제1 및 제2 보정부(4300, 4500)의 입력단(405, 409)에는 각각 다운 신호 DN 및 업 신호 UPB가 인가되고, 출력단(407, 411)은 각각 방전 소자 MN42 및 충전 소자 MP42의 소오스에 접속된다.
- <65> 제1 및 제2 보정부(4300, 4500)는 각각 인버터 IN41, IN42, 및 커패시터 C41, C42를 포함한다. 인버터 IN41, IN42의 입력단은 각각 제1 및 제2 보정부(4300, 4500)의 입력단(405, 409)을 형성하고, 출력단은 각각 커패시터 C41, C42의 일단과 접속된다. 커패

시터 C41, C42의 타단은 각각 제1 및 제2 보정부(4300, 4500)의 출력단(407, 411)을 형성한다.

- <66> 이하, 본 발명의 다른 실시예에 따른 차지 펌프 회로의 동작을 상세히 설명한다.
- <67> 차지 펌프 회로에 다운 신호 DN가 인가되면, 제1 스위칭 소자 MN41가 활성화되고, 방전 소자 MN42의 소오스단이 접지 전압으로 강해진다. 그러나, 방전 소자 MN42의 소오스단에 존재하는 기생 커패시턴스는 방전 소자 MN42의 소오스단이 접지 전압으로 강해지는 것을 지연시킨다.
- <68> 제1 보정부(4300)의 인버터 IN41는 입력단(405)에 하이 레벨의 다운 신호 DN가 인가되면, 다운 신호 DN를 반전하여 로우 레벨의 신호를 커패시터 C41에 인가한다. 커패시터 C41의 일단에 음의 전압이 인가되면, 커패시터 C41는 방전 소자 MN42의 소오스단의 기생 커패시턴스로부터 전하를 강제로 유입하게 된다. 따라서, 방전 소자 MN42의 소오스단이 순간적으로 접지되며, 방전 소자 MN42의 드레인에는 원하는 싱크 전류 I_{sink} 가 흐르게 된다.
- <69> 차지 펌프 회로에 업 신호 UPB가 인가되면, 제2 스위칭 소자 MP41가 활성화되고, 충전 소자 MP42의 소오스단이 전원 전압으로 상승된다. 그러나, 상기 방전 소자 MN42와 마찬가지로, 충전 소자 MP42의 소오스단에 존재하는 기생 커패시턴스는 충전 소자 MP42의 소오스단이 전원 전압으로 상승되는 것을 지연시킨다.
- <70> 제2 보정부(4500)의 인버터 IN42는 입력단(409)에 로우 레벨의 업 신호 UPB가 인가되면, 업 신호 UPB를 반전하여 하이 레벨의 신호를 커패시터 C42에 인가한다. 커패시터 C42의 일단에 양의 전압이 인가되면, 커패시터 C42는 충전 소자 MP42의 소오스단의 기생

커패시턴스로 전하를 강제를 주입하게 된다. 따라서, 충전 소자 MP42의 소오스단이 순간적으로 전원 전압으로 상승되며, 충전 소자 MP42의 소오스에는 원하는 소오스 전류 Isource가 흐르게 된다.

<71> 따라서, 본 발명의 다른 실시예에 따른 차지 펌프 회로는 제1 및 제2 보정부(4300, 4500)를 구비함으로써, 방전 및 충전 소자 MN42, MP42의 소오스단에 존재하는 기생 커패시턴스가 미치는 영향을 제거함으로써, 출력단에 흐르는 소오스 전류 및 싱크 전류간 불일치를 보상하고, 차지 펌프 회로의 스위칭 속도를 개선시킬 수 있다.

<72> 도 5는 본 발명의 또 다른 실시예에 따른 차지 펌프 회로를 도시한 회로도이다.

<73> 도 5에 도시된 바와 같이, 본 발명의 또 다른 실시예에 따른 차지 펌프 회로는 도 3에 도시된 제1 및 제2 보정부(3300, 3500)와 도 4에 도시된 제1 및 제2 보정부(4300, 4500)를 모두 포함한다는 점에서, 도 3 및 도 4에 도시된 실시예와 차이점을 갖는다.

<74> 본 발명의 또 다른 실시예에 따른 차지 펌프 회로는 4개의 보정 회로를 구비함으로써, 충전 및 방전 소자 MP42, MN42의 게이트-소오스단의 기생 커패시턴스 및 소오스단의 기생 커패시턴스에 의한 영향을 동시에 제거함으로써, 차지 펌프 회로의 스위칭 속도를 더욱 개선시키고, 출력단 V_{LF0} 에 흐르는 전류간 불일치를 더욱 보상한다.

<75> 도 3 및 도 5에 도시된 차지 펌프 회로에 있어서, 제1 및 제2 보정부(3500, 3700)는 방전 및 충전 소자 MN32, MP32로 전하를 방출 및 유입하여, 방전 및 충전 소자 MN32, MP32의 게이트-소오스간 기생 커패시턴스가 차지 펌프 회로에 미치는 영향을 제거한다. 그러나, 제1 및 제2 보정부(3500, 3700)에서 방출 및 유입되는 보상 전하량이 방전 및 충전 소자 MN32, MP32의 게이트 전압을 일정하게 유지시키기 위하여 이론상 필요한 보상

량과 일치되지 않을 경우, 출력단 V_{LF0} 의 전류 불일치는 여전히 존재하게 된다. 도 3 및 도 5에 도시된 차지 펌프 회로에 있어서, 기생 커패시턴스에 의한 전압 강하 및 상승량은 출력 전압 V_{LF0} 에 따라 달라지게 되고, 보상해야할 전하량 또한 전원 전압, 온도 등에 따라 달라지게 된다. 따라서, 제1 및 제2 보정부(3500, 3700)에서 보상되는 전하의 양을 제어할 필요가 있다.

<76> 다만, 도 4에 도시된 차지 펌프 회로의 제1 및 제2 보정 회로(4300, 4500)는 방전 및 충전 소자 MN42, MP42의 소오스단이 빠르게 접지 및 전원 전압으로 되도록 하기 위한 것이므로 보상 전하량을 제어함으로써 얻는 실익은 크지 않다.

<77> 도 6은 도 3에 도시된 차지 펌프 회로에 있어서, 제1 및 제2 보정부(3300, 3500)의 보상 전하량을 제어하기 위한 제어 회로를 본 발명의 일실시예에 따라서 도시한 회로도이다.

<78> 도 6에 도시된 바와 같이, 제어 회로는 도 3에 도시된 본 발명의 일실시예에 따른 차지 펌프 회로의 등가 회로를 이용한다.

<79> 도 6에 도시된 바와 같이, 본 발명의 일실시예에 따른 제어 회로는 제1 및 제2 스위칭 소자 MN61, MP61, 충전 소자 MP62, 방전 소자 MN62, 바이어싱부(6100), 제1 및 제2 보정부(6300, 6500), 제1 및 제2 스위치 수단 SW1, SW2, 및 제1 및 제2 제어부(6700, 6900)를 포함한다. 또한, 바람직하게는 제어 회로의 출력단 V_{LF0} 에 버퍼(도시되지 않음)가 접속된다.

<80> 이하, 도 6을 참조하여 이들 구성간의 연결관계를 설명한다.

- <81> 다만, 제어 회로의 제1 및 제2 스위칭 소자 MN61, MP61, 충전 소자 MP62, 방전 소자 MN62, 바이어싱부(6100), 및 제1 및 제2 보정부(6300, 6500)는 도 3에 도시된 차지 펌프 회로의 제1 및 제2 스위칭 소자 MN31, MP31, 충전 소자 MP32, 방전 소자 MN32, 바이어싱부(3100), 및 제1 및 제2 보정부(3300, 3500)와 그 구성 및 동작이 동일하므로, 여기서는 설명을 생략하기로 한다.
- <82> 제1 스위치 수단 SW1은 바이어싱부(6100)의 제1 단자(601) 및 방전 소자 MN62의 게이트간에 접속되고, 제2 스위치 수단 SW2은 바이어싱부(6100)의 제2 단자(603) 및 충전 소자 MP62의 게이트간에 접속된다.
- <83> 제1 제어부(6700)는 제1 및 제2 입력단(617, 619), 및 출력단(621)을 구비하고, 제1 및 제2 입력단(617, 619)에 인가된 전압의 차를 적분하여 출력한다. 제2 제어부(6900)는 제1 및 제2 입력단(623, 625), 및 출력단(627)을 구비하고, 제1 및 제2 입력단(623, 625)에 인가된 전압의 차를 적분하여 출력한다.
- <84> 제1 제어부(6700)의 제1 입력단(617)은 바이어싱부(6100)의 제1 단자(601)에 접속되고, 제2 입력단(619)은 방전 소자 MN62의 게이트에 접속된다. 또한, 제1 제어부(6700)의 출력 신호 $V_{CC}CAL$ 는 차지 펌프 회로 및 전하 보상량 제어 회로에 포함된 제1 보정부(3300, 6300)의 제어단(309, 609)에 인가된다.
- <85> 제2 제어부(6900)의 제1 입력단(623)은 충전 소자 MP62의 게이트에 접속되고, 제2 입력단(625)은 바이어싱부(6100)의 제2 단자(603)에 접속된다. 또한, 제2 제어부(6900)의 출력 신호 $V_{SS}CAL$ 는 차지 펌프 회로 및 전하 보상량 제어 회로에 포함된 제2 보정부(3500, 6500)의 제어단(315, 615)에 인가된다.

- <86> 이하, 제1 및 제2 제어부(6700, 6900)의 내부 구성을 상세히 설명한다.
- <87> 제1 제어부(6700)는 비교기 CMP1, 스위치 수단 SW3, 적분기 INT1를 포함한다. 비교기 CMP1의 + 입력단은 제1 제어부(6700)의 제1 입력단(617)을 형성하고, - 입력단은 제1 제어부(6700)의 제2 입력단(619)을 형성한다. 비교기 CMP1의 출력단은 스위치 수단 SW3의 일단과 접속된다. 스위치 수단 SW3의 타단은 적분기 INT1의 입력단과 접속되고, 적분기 INT1의 출력단은 제1 제어부(6700)의 출력단(621)과 접속된다.
- <88> 제2 제어부(6900)는 비교기 CMP2, 스위치 수단 SW4, 적분기 INT2를 포함한다. 비교기 CMP2의 + 입력단은 제2 제어부(6900)의 제1 입력단(623)을 형성하고, - 입력단은 제2 제어부(6900)의 제2 입력단(625)을 형성한다. 비교기 CMP2의 출력단은 스위치 수단 SW4의 일단과 접속된다. 스위치 수단 SW4의 타단은 적분기 INT2 입력단과 접속되고, 적분기 INT2의 출력단은 제2 제어부(6900)의 출력단(627)과 접속된다.
- <89> 이하, 도 6에 도시된 본 발명의 일실시예에 따른 제어 회로의 동작을 상세히 설명한다.
- <90> 제어 회로에 있어서, 싱크 단의 동작을 먼저 설명한다. 초기 상태에서 제1 스위치 수단 SW1을 단락시켜 목표 바이어스 전압이 방전 소자 MN62의 게이트에 인가되도록 한다. 그 다음에, 제1 스위치 수단 SW1을 개방시키고, 차지 펌프 회로에 제1 신호 PHDR를 인가한다. 제1 신호 PHDR가 인가되면, 상기 설명한 바와 같이, 방전 소자 MN62의 게이트 전압은 방전 소자 MN62의 게이트-소오스간 기생 커패시턴스로 인하여 순간적으로 강하게 되고, 제1 보정부(6300)의 커패시터 C61는 이를 보상하기 위하여 전하를 방출한다. 그러나, 제1 보정부(6300)에서 방출되는 전하량이 보상해야 할 이론적인 전하량과 다른

경우, 방전 소자 MN62의 게이트 전압은 바이어싱부(6100)의 제1 단자(601)로 출력되는 전압과 다른 값을 가지게 된다.

<91> 제1 제어부(6700)의 비교기 CMP1는 + 입력단에 인가되는 바이어싱부(6100)의 제1 단자(601)의 전압과 - 입력단에 인가되는 방전 소자 MN62의 게이트 전압을 비교하여, 양 전압의 차를 출력한다. 적분기 INT1는 비교기 CMP1에서 출력된 값을 적분하여 제1 제어 신호 V_{CCCAL} 로 출력한다. 제1 제어 신호 V_{CCCAL} 는 제어 회로 및 차지 펌프 회로의 제1 보정부(3300, 6300)의 제어단(309, 609)에 인가되며, 버퍼 BF31, BF61의 하이 레벨 전압 값 V_{cc} 을 조절한다. 따라서, 커패시터 C31, C61에 인가되는 전압 값이 제어됨으로써, 커패시터 C31, C61에서 방출되는 보상 전하량이 조절된다. 즉, 보상 전하가 충분하지 않아 방전 소자 MN62의 게이트 전압이 목표 전압보다 낮을 경우에는 제1 제어 신호 V_{CCCAL} 의 전압 값을 올려 방출되는 보상 전하의 양을 증가시키고, 이와 반대로, 보상 전하의 양이 너무 많아 방전 소자 MN62의 게이트에 인가되는 전압이 목표 전압보다 높을 경우에는 제1 제어 신호 V_{CCCAL} 의 전압 값을 내려 방출되는 보상 전하의 양을 감소시킨다.

<92> 제어 회로에 있어서, 소오스단의 동작은 싱크 단과 마찬가지로, 초기 상태에서 제2 스위치 수단 SW2을 단락시켜 목표 전압이 충전 소자 MP62의 게이트에 인가되도록 한다. 그 다음에 제2 스위치 수단 SW2을 개방시키고, 차지 펌프 회로에 제2 신호 PHDRB를 인가한다. 제2 신호 PHDRB가 인가되면, 상기 설명한 바와 같이, 충전 소자 MP62의 게이트에 인가되는 전압은 충전 소자 MP62의 게이트-소오스간 기생 커패시턴스로 인하여 순간적으로 상승하게 되고, 제2 보정부(6500)의 커패시터 C62는 이를 보정하기 위하여 전하를 유입한다. 그러나, 제2 보정부(6500)로 유입되는 전하량이 보상해야할 이론적인 전하량과

다른 경우, 충전 소자 MP62의 게이트에 인가되는 전압은 바이어싱부(6100)의 제2 단자(603)로 출력되는 전압과 다른 값을 가지게 된다.

<93> 제2 제어부(6500)의 비교기 CMP2는 + 입력단에 인가되는 충전 소자 MP62의 게이트에 인가되는 전압과 - 입력단에 인가되는 바이어싱부(6100)의 제2 단자(603)의 전압을 비교하여, 양 전압의 차를 출력한다. 적분기 INT2는 비교기 CMP2에서 출력된 값을 적분하여 제2 제어 신호 V_{SSCAL} 로 출력한다. 제2 제어 신호 V_{SSCAL} 는 제어 회로 및 차지 펌프 회로의 제2 보정부(3500, 6400)의 제어단(315, 615)에 인가되며, 버퍼 BF32, BF62의 로우 레벨 전압 값 V_{SS} 을 조절한다. 따라서, 커패시터 C32, C62에 인가되는 전압 값이 제어됨으로써, 커패시터 C32, C62에서 유입되는 보상 전하량이 조절된다. 즉, 보상 전하가 충분하지 않아 충전 소자 MP62의 게이트에 인가되는 전압이 목표 전압보다 클 경우에는 제2 제어 신호 V_{SSCAL} 의 전압 값을 감소시켜 유입되는 보상 전하의 양을 증가시키고, 이와 반대로, 보상 전하의 양이 너무 많아 차지 충전 소자 MP62의 게이트에 인가되는 전압이 목표 전압보다 낮을 경우에는 제2 제어 신호 V_{SSCAL} 의 전압 값을 증가시켜 유입되는 보상 전하의 양을 감소시킨다.

<94> 도 6에 도시된 제어 회로는 차지 펌프 회로를 도 3과 같이 구현하는 경우, 이와 등가 회로를 이용하여 구현된 것이다. 따라서, 차지 펌프 회로를 도 5과 같이 구현하는 경우, 또는 이를 변형하여 구현하는 경우에는, 그에 따른 등가 회로를 이용하여 구현되어야 할 것이며, 본 발명의 본질이 도 6에 도시된 특정 제어 회로에 한정되지 않음은 당업자에게 자명하다.

【발명의 효과】

- <95> 본 발명에 따르면, 차지 펌프 회로에 제1 및 제2 보정 회로를 부가하여, 방전 소자 및 충전 소자 내에 존재하는 기생 커패시턴스가 차지 펌프 회로에 미치는 영향을 제거함으로써, 차지 펌프 회로의 스위칭 속도를 개선시키고, 출력단에 흐르는 전류간 불일치를 보상할 수 있다.
- <96> 또한, 차지 펌프 회로에 제어 회로를 부가함으로써, 제1 및 제2 보정 회로의 보상 전하량을 정확히 제어할 수 있다.

【특허청구범위】

【청구항 1】

게이트, 드레인, 및 소오스를 구비하고, 상기 소오스는 접지되며, 상기 게이트에 다운 신호가 입력되면 활성화되는 제1 스위칭 소자, 게이트, 드레인, 및 전원에 접속되는 소오스를 구비하고, 상기 게이트에 업 신호가 입력되면 활성화되는 제2 스위칭 소자,

게이트, 드레인, 및 상기 제1 스위칭 소자의 상기 드레인에 접속되는 소오스를 구비하고, 상기 게이트에 인가되는 바이어스 전압에 의하여 상기 드레인으로 출력되는 전류의 양을 제어하는 방전 소자, 게이트, 드레인, 및 상기 제2 스위칭 소자의 상기 드레인에 접속되는 소오스를 구비하고, 상기 게이트에 인가되는 바이어스 전압에 의하여 상기 드레인으로 출력되는 전류의 양을 제어하는 충전 소자, 및

상기 방전 소자 및 상기 충전 소자의 게이트에 각각 접속되는 제1 단자 및 제2 단자를 구비하고, 상기 방전 소자 및 상기 충전 소자를 활성화시키는 바이어스 전압을 상기 제1 및 제2 단자로 각각 출력하는 바이어싱부

를 포함하는 차지 펌프 회로의 출력 전류간 불일치를 보상하는 보정 회로에 있어서,

입력단, 제어단, 및 상기 방전 소자의 게이트에 접속되는 출력단을 구비하고, 상기 입력단에 상기 다운 신호가 인가되면, 상기 출력단으로 전하를 방출하되, 상기 제어단에 인가된 제1 제어 신호에 의하여 상기 출력단으로 방출되는 전하량이 제어되는 제1 보정부, 및

입력단, 제어단, 및 상기 충전 소자의 게이트에 접속되는 출력단을 구비하고, 상기 입력단에 상기 업 신호가 인가되면, 상기 출력단으로 전하를 유입하되, 상기 제어단에 인가된 제2 제어 신호에 의하여 상기 출력단으로 유입되는 전하량이 제어되는 제2 보정부,

를 포함하는 보정 회로.

【청구항 2】

제1항에 있어서,

상기 제1 및 제2 보정부는 각각 버퍼 및 커패시터를 포함하고, 상기 버퍼의 입력단은 각각 상기 제1 및 제2 보정부의 상기 입력단을 형성하고, 출력단은 각각 상기 커패시터의 일단과 접속되며, 상기 커패시터의 타단은 각각 상기 제1 및 제2 보정부의 상기 출력단을 형성하고, 상기 제1 보정부에 포함된 상기 버퍼의 하이 레벨 제어단 및 상기 제2 보정부에 포함된 상기 버퍼의 로우 레벨 제어단은 각각 상기 제1 및 제2 보정부의 상기 제어단을 형성하는 보정 회로.

【청구항 3】

게이트, 드레인, 및 소오스를 구비하고, 상기 소오스는 접지되며, 상기 게이트에 다운 신호가 입력되면 활성화되는 제1 스위칭 소자, 게이트, 드레인, 및 전원에 접속되는 소오스를 구비하고, 상기 게이트에 업 신호가 입력되면 활성화되는 제2 스위칭 소자,

게이트, 드레인, 및 상기 제1 스위칭 소자의 상기 드레인에 접속되는 소오스를 구비하고, 상기 게이트에 인가되는 바이어스 전압에 의하여 상기 드레인으로 출

력되는 전류의 양을 제어하는 방전 소자, 게이트, 드레인, 및 상기 제2 스위칭 소자의 상기 드레인에 접속되는 소오스를 구비하고, 상기 게이트에 인가되는 바이어스 전압에 의하여 상기 드레인으로 출력되는 전류의 양을 제어하는 충전 소자, 및

상기 방전 소자 및 충전 소자의 상기 게이트에 접속되는 제1 및 제2 단자를 구비하고, 상기 방전 소자 및 상기 충전 소자를 활성화시키는 바이어스 전압을 각각 상기 제1 및 제2 단자로 출력하는 바이어싱부

를 포함하는 차지 펌프 회로의 출력 전류간 불일치를 보상하는 보정 회로에 있어서,

입력단, 및 상기 방전 소자의 상기 소오스에 접속되는 출력단을 구비하고, 상기 입력단에 상기 다운 신호가 인가되면, 상기 출력단으로 전하를 유입하는 제1 보정부, 및

입력단, 및 상기 충전 소자의 상기 소오스에 접속되는 출력단을 구비하고, 상기 입력단에 상기 업 신호가 인가되면, 상기 출력단으로 전하를 방출하는 제2 보정부,

를 포함하는 보정 회로.

【청구항 4】

제3항에 있어서,

상기 제1 및 제2 보정부는 각각 인버터 및 커패시터를 포함하고, 상기 인버터의 입력단은 각각 상기 제1 및 제2 보정부의 상기 입력단을 형성하고, 출력단은 각각 상기 커패시터의 일단과 접속되며, 상기 커패시터의 타단은 각각 상기 제1 및 제2 보정부의 상기 출력단을 형성하는 보정 회로.

【청구항 5】

게이트, 드레인, 및 소오스를 구비하고, 상기 소오스는 접지되며, 상기 게이트에 다운 신호가 입력되면 활성화되는 제1 스위칭 소자, 게이트, 드레인, 및 전원에 접속되는 소오스를 구비하고, 상기 게이트에 업 신호가 입력되면 활성화되는 제2 스위칭 소자,

게이트, 드레인, 및 상기 제1 스위칭 소자의 상기 드레인에 접속되는 소오스를 구비하고, 상기 게이트에 인가되는 바이어스 전압에 의하여 상기 드레인으로 출력되는 전류의 양을 제어하는 방전 소자, 및 게이트, 드레인, 및 상기 제2 스위칭 소자의 상기 드레인에 접속되는 소오스를 구비하고, 상기 게이트에 인가되는 바이어스 전압에 의하여 상기 드레인으로 출력되는 전류의 양을 제어하는 충전 소자, 및

상기 방전 소자 및 상기 충전 소자의 상기 게이트에 인가되는 경우 상기 방전 소자 및 상기 충전 소자를 각각 활성화시킬 수 있는 레벨을 갖는 바이어스 전압을 제1 및 제2 단자로 각각 출력하는 바이어싱부

를 포함하는 차지 펌프 회로의 출력 전류간 불일치를 보상하는 보정 회로에 있어서,

입력단, 제어단, 및 상기 방전 소자의 상기 게이트에 접속되는 출력단을 구비하고, 상기 입력단에 상기 다운 신호가 인가되면, 상기 출력단으로 전하를 방출하되, 상기 제어단에 인가된 제1 제어 신호에 의하여 상기 출력단으로 방출되는 전하량이 제어되는 제1 보정부, 및

입력단, 제어단, 및 상기 충전 소자의 상기 게이트에 접속되는 출력단을 구비하고, 상기 입력단에 상기 업 신호가 인가되면, 상기 출력단으로 전하를 유입하되, 상기 제어단에 인가된 제2 제어 신호에 의하여 상기 출력단으로 유입되는 전하량이 제어되는 제2 보정부

를 포함하는 보정 회로를 제어하기 위한 제어 회로에 있어서,

상기 바이어싱부의 상기 제1 단자 및 상기 방전 소자의 상기 게이트간에 접속되는 제1 스위치 수단, 상기 바이어싱부의 상기 제2 단자 및 상기 충전 소자의 상기 게이트간에 접속되는 제2 스위치 수단,

상기 바이어싱부의 상기 제1 단자 및 상기 방전 소자의 상기 게이트간에 접속되어, 상기 제1 스위치 수단이 개방되었을 때 상기 바이어싱부의 상기 제1 단자의 전압과 상기 방전 소자의 상기 게이트간의 전압이 실질적으로 동일하도록 상기 제1 제어 신호를 발생하는 제1 제어부,

상기 바이어싱부의 상기 제2 단자 및 상기 충전 소자의 상기 게이트간에 접속되어, 상기 제2 스위치 수단이 개방되었을 때 상기 바이어싱부의 상기 제2 단자의 전압과 상기 충전 소자의 상기 게이트간의 전압이 실질적으로 동일하도록 상기 상기 제2 제어 신호를 발생하는 제2 제어부

를 포함하는 제어 회로.

【청구항 6】

제5항에 있어서,

상기 제1 및 제2 보정부는 각각 버퍼 및 커패시터를 포함하고, 상기 버퍼의 입력단은 상기 제1 및 제2 보정부의 상기 입력단을 형성하고, 출력단은 상기 커패시터의 일단과 접속되며, 상기 커패시터의 타단은 상기 제1 및 제2 보정부의 상기 출력단을 형성하고, 상기 제1 보정부에 포함된 상기 버퍼의 하이 레벨 제어단 및 상기 제2 보정부에 포함된 상기 버퍼의 로우 레벨 제어단은 각각 제1 및 제2 보정부의 상기 제어단을 형성하는 제어 회로.

【청구항 7】

제5항에 있어서,

상기 제1 제어부는 비교기, 스위치 수단, 및 적분기를 포함하고, 상기 비교기의 + 입력단은 상기 바이어싱부의 상기 제1 단자에 접속되고, - 입력단은 상기 방전 소자의 상기 게이트에 접속되며, 상기 스위치 수단은 상기 비교기의 출력단 및 상기 적분기의 입력단간에 접속되고, 상기 적분기의 출력단으로 상기 제1 제어 신호가 출력되는 제어 회로.

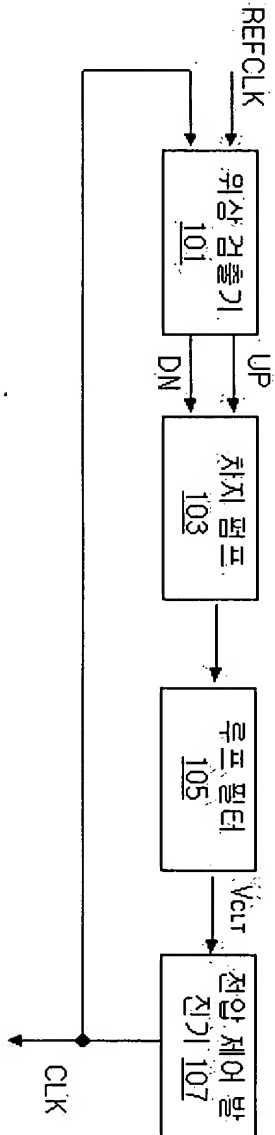
【청구항 8】

제5항에 있어서,

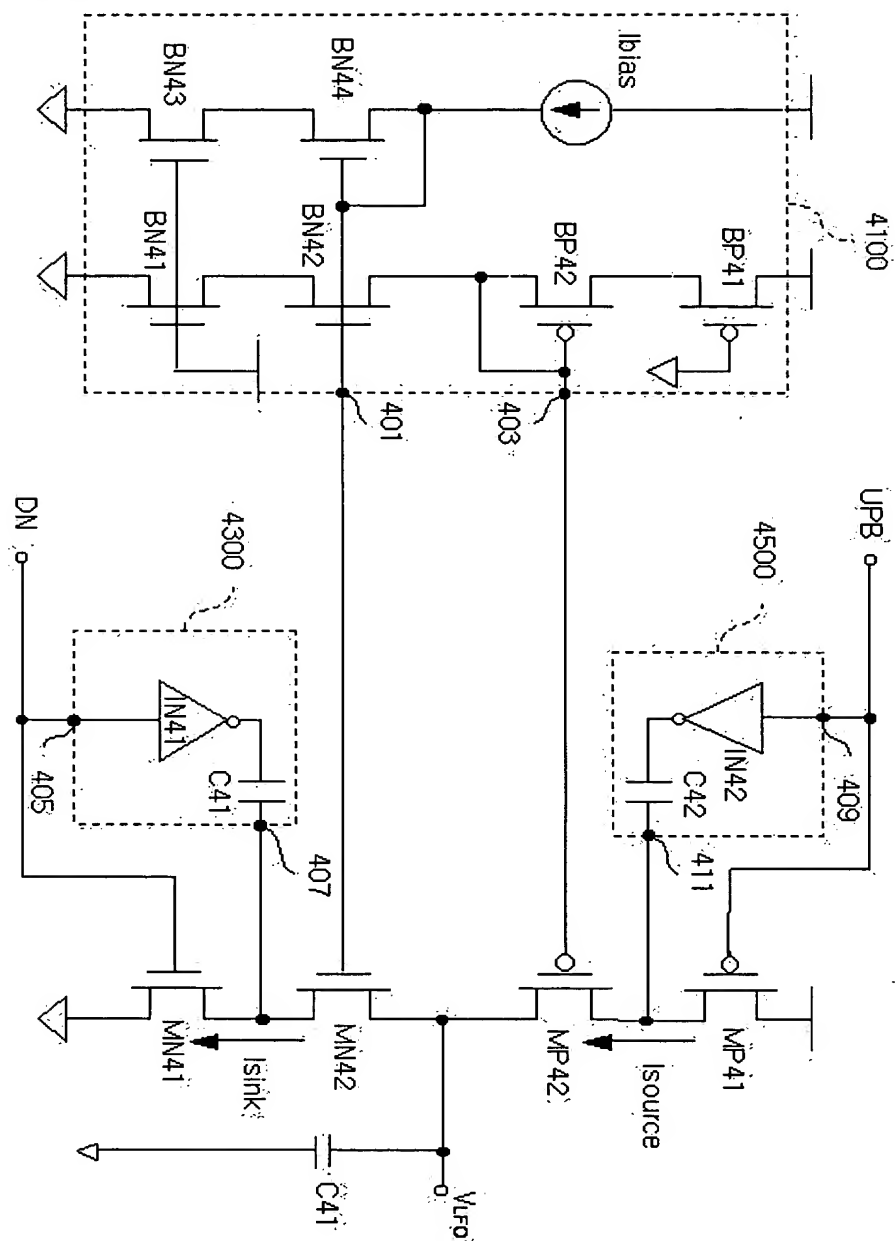
상기 제2 제어부는 비교기, 스위치 수단, 및 적분기를 포함하고, 상기 비교기의 + 입력단은 상기 충전 소자의 상기 게이트에 접속되고, - 입력단은 상기 바이어싱부의 상기 제2 단자에 접속되며, 상기 스위치 수단은 상기 비교기의 출력단 및 상기 적분기의 입력단간에 접속되고, 상기 적분기의 출력단으로 상기 제2 제어 신호가 출력되는 제어 회로.

【도면】

【도 1】



【도 4】



【도 6】

